

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-120253

(43)Date of publication of application : 28.04.1994

(51)Int.CI.

H01L 21/338

H01L 29/812

(21)Application number : 04-266416

(71)Applicant : SONY CORP

(22)Date of filing : 06.10.1992

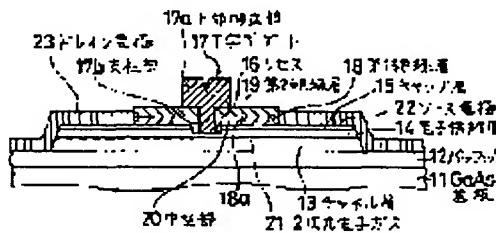
(72)Inventor : KOBAYASHI JUNICHIRO

## (54) FIELD EFFECT TRANSISTOR AND ITS MANUFACTURE

### (57)Abstract:

PURPOSE: To provide a device which has a high mechanical strength of a T-shaped gate and is free of an increase in parasitic capacitance.

CONSTITUTION: A hollow part 20 surrounded by a first insulating layer 18 and a second insulating layer 19 is formed in a vicinity of a support 17a of a T-shaped gate 17 to reduce parasitic capacitance. The lower face of the top wide part 17a of the T-shaped gate 17 is supported by the second insulating layer 19. This design improves the mechanical strength of the T-shaped gate.



## LEGAL STATUS

[Date of request for examination] 02.09.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3144089

[Date of registration] 05.01.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-120253

(43)公開日 平成6年(1994)4月28日

(51)Int.Cl.<sup>5</sup>  
H 01 L 21/338  
29/812

識別記号 庁内整理番号  
7376-4M  
7376-4M

F I

H 01 L 29/ 80

技術表示箇所  
F  
H

審査請求 未請求 請求項の数 2(全 6 頁)

(21)出願番号 特願平4-266416

(22)出願日 平成4年(1992)10月6日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 小林 純一郎

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

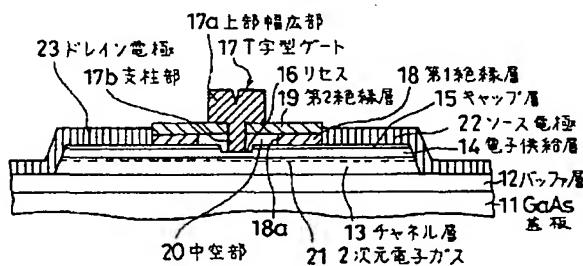
(74)代理人 弁理士 志賀 富士弥 (外1名)

(54)【発明の名称】 電界効果トランジスタ及びその製造方法

(57)【要約】

【目的】 T字型ゲートの機械的強度が強く、寄生容量の増加のない電界効果トランジスタを提供する。

【構成】 T字ゲート17の支柱部の近傍に第1絶縁層18と第2絶縁層19で囲まれた中空部20を形成し、寄生容量の低減を図っている。また、T字ゲート17の上部幅広部17aの下面は、第2絶縁層19で支持されている。このため、T字型ゲートの機械強度は向上する。



## 【特許請求の範囲】

【請求項1】 支柱部と幅広部とから成るT字型ゲート電極を有する電界効果トランジスタにおいて、前記支柱部の近傍を中空となし、前記幅広部の下部を絶縁物で支持したことを特徴とする電界効果トランジスタ。

【請求項2】 半導体層上に第1絶縁層と第2絶縁層を順次積層し、該第2絶縁層上に、順次ポジ型レジストとネガ型レジストを順次積層し、前記ネガ型レジストに第1開口部を形成した後、該第1開口部内のポジ型レジストに前記第1開口部より幅の狭い第2開口部を形成し、次いで、該ポジ型レジストの第2開口部をマスクとして前記第2絶縁層をエッチングして第3開口部を形成した後、前記ネガ型レジストの第1開口部内のポジ型レジストを除去し、次に、前記第1絶縁層を該第2絶縁層の第3開口部を介してエッチングして第4開口部を形成し、該第4開口部を介して前記半導体層のリセスエッチングを行った後、ゲート金属を蒸着しリフトオフすることを特徴とする電界効果トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、電界効果トランジスタに関し、特に、高電子移動度トランジスタ(HEMT)などの所謂T字型ゲートを有する電界効果トランジスタに係わる。

## 【0002】

【従来の技術】 従来、この種の電界効果トランジスタとしては、図14に示すようなリフトオフ方法でゲート電極が形成されている。即ち、図14(A)に示すように、半導体層1上に第1レジスト2を塗布し、露光・現像を行って開口部2aを形成した後、この開口部2aを介しエッチング液によりウェットエッチングを行いリセス3を形成する。そして、第1レジスト2の上に、同図(A)に示すように、第2レジスト4をバーニングする。

【0003】 次に、ゲート用金属を蒸着して、第2レジスト4上のゲート用金属をリフトオフすることにより、図14(B)に示すようなT字形のゲート5が形成される。しかしながら、この従来例は、ゲート5の上部幅広部5Aが何ら保持されていないため、物理的に支柱部5Bが損傷を受け易く、全体的に機械強度が弱いものであった。

【0004】 このような問題の対策方法として、図15に示すような製造方法による電界効果トランジスタが知られている。この方法は、先ず、図15(A)に示すように、半導体層1上に絶縁膜6を形成し、この絶縁膜6の所定位置に開口部6aを周知の技術を用いて形成する。この開口部6aの開口幅はゲートの支柱部の幅寸法に設定しておく。

## 【0005】 次に、この開口部6aを介して半導体層1

にリセス3をウェットエッチングする。そして、図15(A)に示すように、レジスト7をバーニングした後、ゲート用金属を蒸着して、レジスト7上のゲート用金属をリフトオフすることにより、図15(B)に示すようなゲート8Aが形成される。図16は、リフトオフ法を用いず、エッチング法を用いる場合を示すものであり、ゲート用金属層8の上にレジストパターン9を形成し、このレジストパターン9をマスクとしてゲート用金属層8をドライエッチングすることにより、図15(B)と同様のゲートが形成できる。

## 【0006】

【発明が解決しようとする課題】 しかしながら、このような電界効果トランジスタのゲート8Aは、図15(B)に示すように、ゲート8Aの上部幅広部8a下の空間が絶縁膜6で埋められるため、ゲートの機械的強度は増すが、寄生容量Cが増大し、電界効果トランジスタの高周波特性を低下させる問題点がある。

【0007】 また、上記した従来例においては、リセス3の幅は第1レジスト2又は絶縁膜6の開口幅で一義的に決まるため、ゲート長(ゲート支柱の幅)に対してリセスの幅の自由度がとれない問題点があった。

【0008】 本発明は、このような従来の問題点に着目して創案されたものであって、T字型ゲートの機械的強度を有し、ゲート部の寄生容量の増加を抑制すると共に、ゲートリセス幅の制御性が向上する電界効果トランジスタを得んとするものである。

## 【0009】

【課題を解決するための手段】 そこで、請求項1記載の発明は、支柱部と幅広部とから成るT字型ゲート電極を有する電界効果トランジスタにおいて、前記支柱部の近傍を中空となし、前記幅広部の下部を絶縁物で支持したことをその解決手段としている。

【0010】 請求項2記載の発明は、半導体層上に第1絶縁層と第2絶縁層を順次積層し、該第2絶縁層上に、順次ポジ型レジストとネガ型レジストを順次積層し、前記ネガ型レジストに第1開口部を形成した後、該第1開口部内のポジ型レジストに前記第1開口部より幅の狭い第2開口部を形成し、次いで、該ポジ型レジストの第2開口部をマスクとして前記第2絶縁層をエッチングして第3開口部を形成した後、前記ネガ型レジストの第1開口部内のポジ型レジストを除去し、次に、前記第1絶縁層を該第2絶縁層の第3開口部を介してエッチングして第4開口部を形成し、該第4開口部を介して前記半導体層のリセスエッチングを行った後、ゲート金属を蒸着しリフトオフすることを、その解決方法としている。

## 【0011】

【作用】 請求項1記載の発明においては、T字型ゲート電極の支柱部の近傍を中空となしたことにより、T字型ゲート電極の幅広部の下面より下の空間に中空部が存在するため、幅広部下面の下を絶縁物で埋めたものに対し

て寄生容量を低減できる作用を有する。また、幅広部下面は、第2絶縁層で支持されるため、T字型ゲート電極の機械強度は強化される。

【0012】請求項2記載の発明においては、第1絶縁層の開口部（第4開口部）の幅を制御することにより、それに対応するリセスの幅も制御可能となる。

### 【0013】

【実施例】以下、本発明に係る電界効果トランジスタ及びその製造方法の詳細を図面に示す実施例に基づいて説明する。

【0014】本実施例の電界効果トランジスタが形成されたチップパターンの平面図は、図3に示す通りであり、同図中のA-A断面図を図1、B-B断面図を図2に示す。

【0015】図1に示すように、本実施例の電界効果トランジスタが形成されるエピタキシャル構造は、半絶縁性のGaN基板11上に、順次、高抵抗なノンドープGaNでなるバッファ層12、ノンドープのn<sup>-</sup>-InGaNでなるチャネル層13、Siドープのn<sup>+</sup>-AlGaNでなる電子供給層14、Siドープのn<sup>+</sup>-GaNでなるキャップ層15が形成されている。

【0016】このような構造に対して、表面よりリセス16が形成されている。このリセス16は、キャップ層15を貫通して電子供給層14を削った構造となっている。このリセス16底部にはT字型ゲート17が立設され、このT字型ゲート17の上部幅広部17a下面は、第2絶縁層19で支持され、この第2絶縁層19は、キャップ層15上に形成された第1絶縁層18上に形成されている。

【0017】また、第1絶縁層18のゲートの支柱部17bに臨む端面18aは、支柱部17bから離れて位置し、該支柱部17bの周囲近傍は、中空部20となっている。そして、第1及び第2絶縁層18、19の両脇には、ソース電極22とドレイン電極23が配設されている。なお、図中21は、2次元電子ガス、17Aはゲート電極のパッド部を示している。

【0018】また、図3のC-C断面は、図4に示すように、ゲート端部の中空部20は、ゲートの幅広部17aの端部下面に第2絶縁層19が当接することにより封止されるため、後述するゲート金属蒸着時の真空のまま保持される。

【0019】図5は、オーバーコート絶縁膜24を堆積した状態を示す断面図である。

【0020】このような構成の電界効果トランジスタにおいては、中空部20の存在により、T字型ゲート17の上部幅広部17aの下が絶縁物で完全に埋められた場合に比較して、真空と絶縁物の誘電率の違いから寄生容量が小さくなり、しかもT字型ゲート17の機械的強度は第2絶縁層19により支えられているため、強くなる。また、AlInAs/GaInAs系HEMT等の

リセス底部（AlInAs）とパッシベーション膜との界面に誘電層が形成され易い半導体材料を用いる場合も、本実施例によれば、中空部20の真空封止構造がとれるため、上記の導電層が形成されることが防止できる。

【0021】次に、本実施例の電界効果トランジスタの製造方法を説明する。

【0022】先ず、GaN基板上に順次積層されるバッファ層、チャネル層、電子供給層14、キャップ層15でなるエピタキシャル構造の最上層であるキャップ層15上に、SiO<sub>2</sub>をCVD法にて膜厚0.1～0.2μmに堆積させて第1絶縁層18を形成し、その上にSiNをCVD法にて膜厚0.1～0.2μmに堆積させて第2絶縁層19を形成する。次いで、第1、第2絶縁膜18、19をフォトリソグラフィー技術及びエッチング技術を用いて、図6に示すようにパターニングした後、絶縁層が形成されていないキャップ層15表面に、周知の技術を用いてAuGe/Ni構造でなるオームク金属を形成して、ソース電極22及びドレイン電極23を形成する。なお、上記第1、第2絶縁層18、19は、後述するエッチング時の選択性を満足するものであれば、これらに限定されるものではない。

【0023】次に、図7に示すように、(EB:電子線)ポジ型レジスト（例えば、シプレー社製SAL110-P LI）25を0.3μmの厚さに形成し、その上にネガ型レジスト（例えば、日立化成社製RD2000N）26を～1μmの厚さにコーティングする。そして、ネガ型レジスト26に、T字型ゲート17の上部幅広部17a（及び図3に示すパッド部17Aに至るまでの引出部）に相当するパターン開口P（～1μm）を形成する。このとき、ネガ型レジスト26を開口するため、開口部Pのポジ型レジスト25は露光されず、そのまま残る。なお、両レジストの種類は、コーティングの際に交ざり合わず、各現像時に相互に影響を及ぼさず、且つ絶縁層18、19のエッチング時に耐性のあるものであればよい。また、ネガ型レジストの開口断面形状は、図7に示すように逆テープ状となるものが望ましい。

【0024】次に、図8に示すように、ネガ型レジスト26の開口部P内のポジ型レジスト25に電子線直描等を用いて、Pよりも幅の狭い開口部Q（～0.2μm）を形成し、これをマスクとして第2絶縁層19を反応性イオンエッティング(RIE)等の異方性ドライエッティングを用いて開口する。

【0025】次に、図9に示すように、ネガ型レジスト26の開口部のポジ型レジスト25を全面露光、現像することにより除去する。この際、ネガ型レジスト26は、ポジ型レジスト25の感光波長を吸収するものが選定されている。なお、ネガ型レジスト26の開口断面形状が逆テープ状でない場合は、このときの現像時間を調

整して、図9に示す点線のようにアンダーカットを入れることにより、後述するリフトオフが容易になる。

【0026】次に、図10に示すように、第2絶縁層19の開口部をマスクとして第1絶縁層18をエッチングする。このエッチングは、バッファフッ酸(HF:NH<sub>3</sub>F=1:9)等によるウェットエッチングを用い、オーバーエッチング量を調整することにより、後述するリセス16の幅に対応する第1絶縁層の開口幅を調整することができる。

【0027】次いで、図11に示すように、電子供給層14まで達するリセス16を所定の電界効果トランジスタのしきい値電圧が得られるようにリセスエッチングする。このエッチングには、半導体層がGaAs, AlGaAsであるため、例えばH<sub>3</sub>PO<sub>4</sub>:H<sub>2</sub>O<sub>2</sub>:H<sub>2</sub>O=3:1:100等のエッチング液が用いられるが、他のエッチングやドライエッチングでも良い。

【0028】次に、再度第1絶縁層18のエッチングを上記したエッチングと同条件で行い、図12に示すように、第1絶縁層18の開口幅Sをネガ型レジスト26の開口部Pと同程度に広げる。この状態で、ゲートショットキー金属を蒸着し、リフトオフすることにより、図13に示す構造を得る。実際には、図5に示すように、更にオーバーコート絶縁膜24を堆積し、その他ゲート、ドレイン、ソースのボンディングパッドメタル等を形成して完成する。

【0029】上記の製造方法によれば、図3におけるゲート引き出し部B-B断面は、図2に示すようになり、図8においてポジ型レジスト25をゲート動作部のみに開口すれば、ゲート動作部以外のゲート金属は、第2絶縁層19上に形成されることになり、ゲート引き出し部による寄生容量は、半導体層上に接して形成される場合に比較して低減される。

【0030】また、第1絶縁層18の開口幅を調整することでゲートリセス幅を制御できる利点を有する。

【0031】以上、本発明をAlInAs/GaInAs系HEMTに適用した実施例について説明したが、本発明は、他の半導体材料を用いる各種の電界効果トランジスタに適用し得るものであり、各種の設計変更が可能であることは言うまでもない。

【0032】また、上記実施例においては、リフトオフ法を用いた加工を行ったが、ゲートの形成はエッチング法を用いても勿論可能である。

【0033】

【発明の効果】以上の説明から明らかなように、本発明

によれば、電界効果トランジスタのT字型ゲート電極の機械的強度を向上する効果を有すると共に、ゲート部の寄生容量を低減する効果がある。そして、リセス部分は、真空封止できるため、導電層がリセス界面に形成されるようなパッシベーション膜を用いることが可能となる。

【0034】また、請求項2記載の発明によれば、ゲートリセス幅の制御性を拡大できる効果を有し、さらに、ゲート動作部以外のゲート金属を第2絶縁層上に形成できるため、半導体層に接してゲート金属が形成される従来例に比較して、寄生容量を大幅に減少させる効果がある。

#### 【図面の簡単な説明】

【図1】本発明の実施例を示す図3のA-A断面図。

【図2】本発明の実施例を示す図3のB-B断面図。

【図3】本発明の実施例の平面図。

【図4】図3のC-C断面図。

【図5】実施例の電界効果トランジスタの完成状態を示す断面図。

【図6】実施例の製造工程を示す断面図。

【図7】実施例の製造工程を示す断面図。

【図8】実施例の製造工程を示す断面図。

【図9】実施例の製造工程を示す断面図。

【図10】実施例の製造工程を示す断面図。

【図11】実施例の製造工程を示す断面図。

【図12】実施例の製造工程を示す断面図。

【図13】実施例の製造工程を示す断面図。

【図14】(A)及び(B)は従来例の工程を示す断面図。

【図15】(A)及び(B)は従来例の工程を示す断面図。

【図16】エッチング法を用いた従来例の断面図。

#### 【符号の説明】

1 3…チャネル層

1 4…電子供給層

1 5…キャップ層

1 6…リセス

1 7…T字型ゲート

1 7 a…上部幅広部

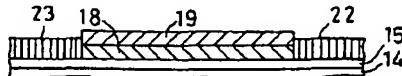
1 7 b…支柱部

1 8…第1絶縁層

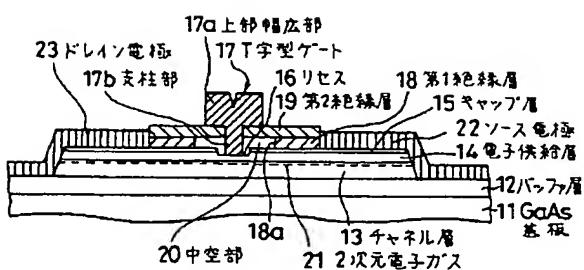
1 9…第2絶縁層

2 0…中空部

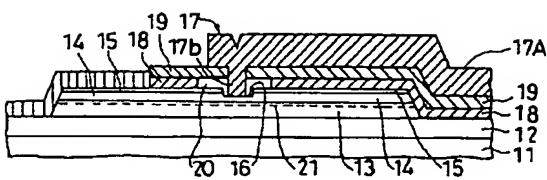
【図6】



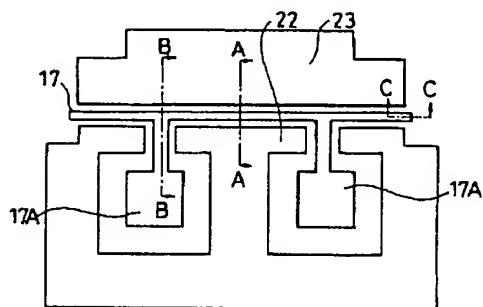
【図1】



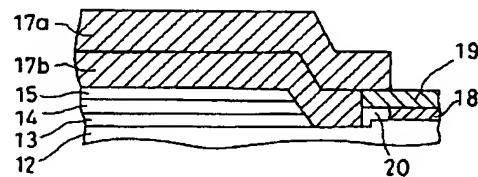
【図2】



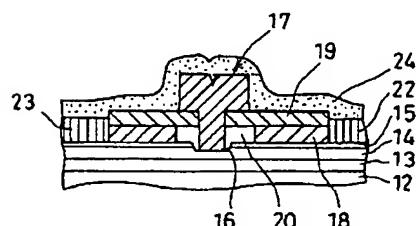
【図3】



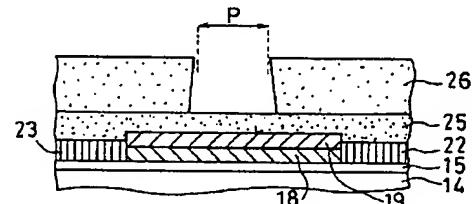
【図4】



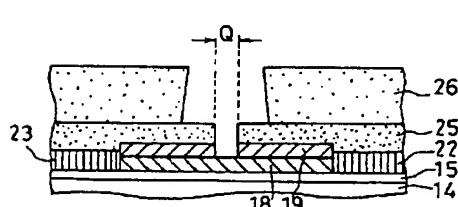
【図5】



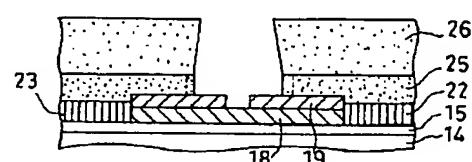
【図7】



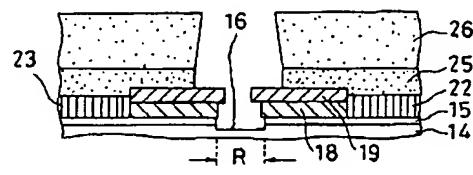
【図8】



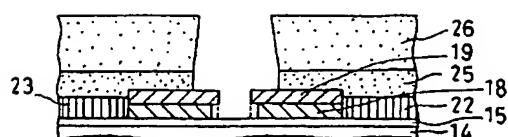
【図9】



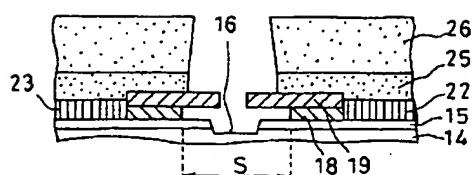
【図11】



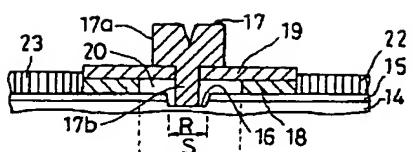
【図10】



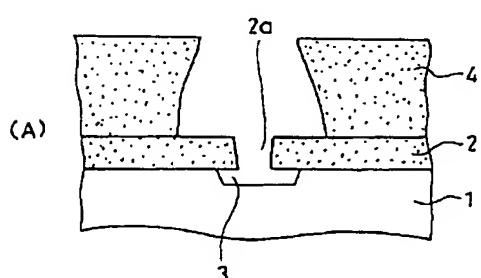
【図12】



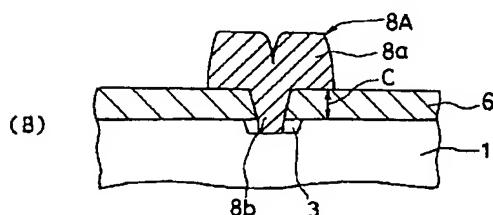
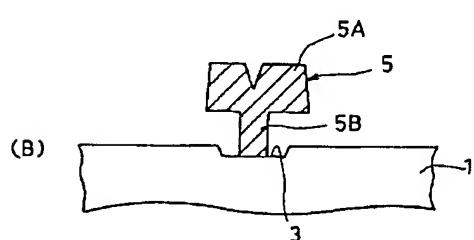
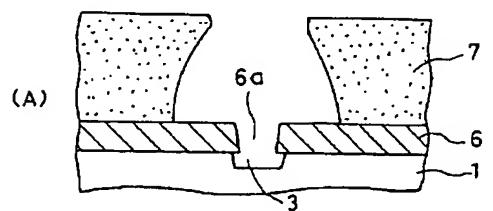
【図13】



【図14】



【図15】



【図16】

